



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0109130
(43) 공개일자 2019년09월25일

(51) 국제특허분류(Int. Cl.)
H01L 27/15 (2006.01) H01L 33/00 (2010.01)
H01L 33/38 (2010.01) H01L 33/62 (2010.01)
(52) CPC특허분류
H01L 27/156 (2013.01)
H01L 33/005 (2013.01)
(21) 출원번호 10-2018-0031107
(22) 출원일자 2018년03월16일
심사청구일자 없음

(71) 출원인
주식회사 루멘스
경기도 용인시 기흥구 원고매로 12 (고매동)
(72) 발명자
서주욱
경기도 용인시 기흥구 원고매로 12(고매동, 주식회사 루멘스)
(74) 대리인
유창열

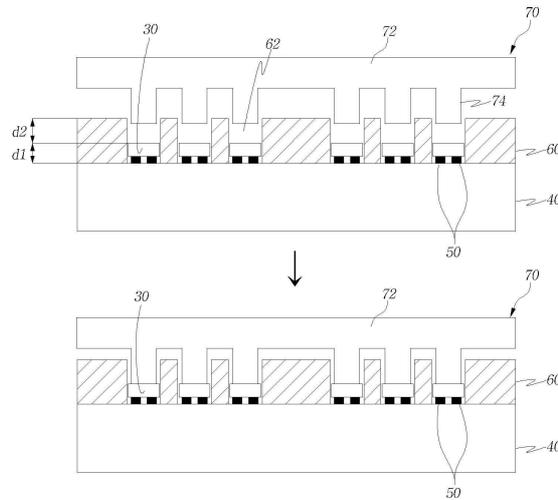
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 엘이디 디스플레이 패널 제조를 위한 엘이디 칩 어레이 방법

(57) 요약

엘이디 칩들을 기결정(predetermined) 배열로 기판 상에 어레이하는, 엘이디 칩 어레이 방법이 개시된다. 이 엘이디 칩 어레이 방법은, 상기 기결정 배열로 기판 상에 솔더부들을 형성하는 단계; 상기 기결정 배열과 대응하는 배열의 관통홀들이 형성된 트레이를 준비하는 단계; 상기 관통홀들 각각이 상기 솔더부들 각각을 수용하도록 상기 트레이를 상기 기판 상에 배치하는 단계; 상기 솔더부들 각각에 상기 엘이디 칩들 각각이 놓이도록, 상기 관통홀들 각각에 상기 엘이디 칩들 각각을 삽입하는 단계; 및 상기 솔더부들을 가열하여, 상기 엘이디 칩들을 상기 기판에 본딩하는 단계를 포함한다.

대표도 - 도7



(52) CPC특허분류

H01L 33/382 (2013.01)

H01L 33/62 (2013.01)

명세서

청구범위

청구항 1

복수 개의 마이크로 엘이디 칩들을 기판 상에 기결정(predetermined) 배열로 어레이하는, 마이크로 엘이디 칩 어레이 방법으로서,

상기 기판 상에 기결정 배열로 복수 개의 솔더부들을 형성하는 단계;

상기 기결정 배열과 대응하는 배열의 관통홀들이 형성된 트레이를 준비하는 단계;

상기 트레이를 상기 관통홀들 각각이 상기 솔더부들 각각을 수용하도록 상기 기판 상에 배치하는 단계;

상기 솔더부들 각각에 상기 마이크로 엘이디 칩들 각각이 놓이도록, 상기 관통홀들 각각에 상기 마이크로 엘이디 칩들 각각을 삽입하는 단계; 및

상기 솔더부들을 가열하여, 상기 마이크로 엘이디 칩들을 상기 기판에 본딩하는 단계를 포함하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 2

청구항 1에 있어서, 상기 본딩하는 단계는 상기 솔더부들을 가열하는 동안 상기 마이크로 엘이디 칩들을 상기 기판을 향해 가압하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 3

청구항 1에 있어서, 상기 본딩하는 단계는, 상기 솔더부들을 가열하는 동안, 상기 관통홀들을 통해 하강하는 가압핀들에 의해 상기 마이크로 엘이디 칩들을 상기 기판을 향해 가압하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 4

청구항 1에 있어서, 상기 본딩하는 단계는, 상기 솔더부들을 가열하는 동안, 가압 스탬프를 이용하여 상기 마이크로 엘이디 칩들을 상기 기판을 향해 가압하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 5

청구항 4에 있어서, 상기 가압 스탬프는, 베이스부와, 상기 베이스부에 서로 같은 길이로서 연결되어 상기 관통홀을 통해 서로 같은 높이만큼 하강될 수 있는 복수 개의 가압핀들을 포함하는 것을 특징으로 하는 엘이디 칩 어레이 방법.

청구항 6

청구항 1에 있어서, 상기 본딩하는 단계는 리플로우 공정 또는 상기 기판과 접하는 가열블록의 온도를 높이는 공정을 이용하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 7

청구항 1에 있어서, 상기 본딩하는 단계는 레이저를 상기 기판의 하부면에 조사하여 상기 솔더부들을 가열하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 8

청구항 1에 있어서, 상기 본딩하는 단계는 상기 관통홀들 각각이 상기 마이크로 엘이디 칩들 각각을 구속한 상태로 수행되는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 9

청구항 1에 있어서, 상기 관통홀들 각각의 깊이는 상기 마이크로 엘이디 칩들 각각의 높이보다 10~30 μm 정도 깊은 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 10

청구항 1에 있어서, 상기 관통홀들 각각의 깊이는 상기 마이크로 엘이디 칩들 각각의 높이에 상응하는 제1 깊이와 상기 관통홀들 각각을 따라 하강하는 가압부의 하강 거리에 상응하는 제2 깊이의 합으로 정해지는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 11

청구항 1에 있어서, 상기 트레이의 두께는 상기 마이크로 엘이디 칩의 두께 및 기판 상에 실장되는 높이를 고려해 수십 μm ~수백 μm 인 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 12

청구항 1에 있어서, 상기 트레이를 준비하는 단계는 반도체 기판, 세라믹 기판 또는 금속 기판으로 트레이를 제작하되, 상기 관통홀들을 형성하기 위해 식각 공정을 이용하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 13

청구항 1에 있어서, 상기 트레이를 준비하는 단계는 반도체 기판, 세라믹 기판 또는 금속 기판으로 트레이를 제작하되, 상기 관통홀들을 형성하기 위해, 건식 식각, 습식 식각, 레이저 가공, 이온 밀링(ion-milling) 또는 물리적 드릴링 공정을 이용하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 14

청구항 1에 있어서, 상기 관통홀들 각각은 깊이 전체에 걸쳐 단면적이 동일한 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 15

청구항 1에 있어서, 상기 관통홀들 각각은 마이크로 엘이디 칩을 수용하는 하부와 마이크로 엘이디 칩을 가압하는 가압핀의 하강을 가이드하는 상부를 포함하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 16

청구항 15에 있어서, 상기 상부의 단면적이 상기 하부의 단면적보다 크고, 상기 하부의 깊이가 상기 마이크로 엘이디 칩의 높이보다 작은 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 17

청구항 15에 있어서, 상기 상부의 단면적이 상기 하부의 단면적보다 크고, 상기 하부의 깊이는 상기 마이크로 엘이디 칩의 높이 이상인 것을 특징으로 하는 마이크로 엘이디 칩 어레이 방법.

청구항 18

복수 개의 마이크로 마이크로 엘이디 칩들을 기판 상에 기결정(predetermined) 배열로 어레이하는, 마이크로 엘이디 칩 어레이 장치로서,

상기 기결정 배열과 대응하는 배열의 관통홀들이 형성된 트레이; 및

베이스부와, 상기 베이스부에 서로 같은 길이로서 연결되어 상기 관통홀을 통해 서로 같은 높이만큼 하강될 수 있는 복수 개의 가압핀이 형성된 가압 스탬프를 포함하며,

상기 관통홀들 각각의 깊이는 상기 마이크로 엘이디 칩들 각각의 높이보다 깊으며,

상기 관통홀들을 통해 하강하는 가압핀들에 의해 상기 마이크로 엘이디 칩들을 상기 기판을 향해 가압되는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 장치.

청구항 19

청구항 18에 있어서, 상기 관통홀들 각각의 깊이는 상기 마이크로 엘이디 칩들 각각의 높이에 상응하는 제1 깊이와 상기 관통홀들 각각을 따라 하강하는 가압부의 하강 거리에 상응하는 제2 깊이의 합으로 정해지는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 장치.

청구항 20

청구항 18에 있어서, 상기 관통홀들 각각은 마이크로 엘이디 칩을 수용하는 하부와 마이크로 엘이디 칩을 가압하는 가압핀의 하강을 가이드하는 상부를 포함하는 것을 특징으로 하는 마이크로 엘이디 칩 어레이 장치.

발명의 설명

기술 분야

[0001] 본 발명은 엘이디 디스플레이 패널 제조 기술에 관한 것으로서, 더 상세하게는, 마이크로 엘이디 디스플레이 패널 제조를 위한 엘이디 칩 어레이 방법에 관한 것이다.

배경 기술

[0002] 마이크로 엘이디 디스플레이 패널 구현을 위한 마이크로 엘이디 모듈을 만들기 위해, 수직형 또는 플립칩형의 마이크로 엘이디 칩들을 PCB(Printed Circuit Board)와 같은 기판에 본딩하여 어레이 한다. 이를 위해서는, 칩 유지부에 소팅되어 있는 마이크로 엘이디 칩들을 기판 상의 솔더부들 위치로 정확히 옮겨 본딩하는 것이 요구된다.

[0003] 도 1에 도시된 바와 같이, 칩 유지부(2) 상에 소팅되어 있는 마이크로 (3)들의 간격이 기판(4) 상의 솔더부(5)들 간격과 다르므로, 기판(4) 상의 각 솔더(5) 위치를 하나씩 확인 한 후, 다이 본더(6)를 이용하여 마이크로 엘이디 칩(3)을 기판(4) 상의 해당 솔더(5)에 본딩하는 방법이 제안된 바 있다. 그러나 이 방법은 많은 수의 마이크로 엘이디 칩(3)을 하나씩 옮겨 기판(4) 상에 본딩해야 하므로, 과도하게 많은 공정 시간이 요구되는 단점이 있다. 또한, 정밀도 오차가 100 um이상인 공정에 있어서는 위와 같은 방식이 이용될 수 있지만, 수 내지 수십 um의 정밀도를 요하는 공정에서는 적합하지 않다. 또한 블루 테이프와 같은 칩 유지부에 소팅되어 있는 엘이디 칩을 기판에 옮겨 본딩함에 있어서, 소팅 또는 픽업 과정에서의 정렬이 틀어진 엘이디 칩의 경우에는 본딩 과정에서 바로 잡기 어려웠다.

[0004] 또한, 마이크로 엘이디 칩을 픽셀 사이즈에 맞게 재배열한 후 전체 마이크로 엘이디 칩들을 예컨대 롤투롤(roll to roll) 방식으로 또는 정전기 접착 방식 등으로 전사하는 방법이 있다. 이러한 방법을 이용할 경우, 마이크로 엘이디 디스플레이 패널의 양산에 위해서는, 재배열시 마이크로 엘이디 칩들의 칩간 간격의 정밀도가 수 um 이내로 정밀해야하고 속도 또한 빨라야 하는데 이를 만족시키기 어려웠다. 심지어, 마이크로 엘이디 칩보다 더 큰 크기를 갖는 엘이디 칩들을 이용하는 미니 엘이디 디스플레이 패널의 양산에 있어서도, 엘이디 칩들간의 칩간 간격 정밀도가 10um 이내를 만족시켜야 하지만 이 또한 달성하기 어려웠다.

[0005] 또한, 롤투롤 방식 또는 정전기 접착 방식 등 일반적으로 엘이디 칩들을 전사 할 경우, 재배열한 엘이디 칩들의 상부(즉 엘이디 발광면)에 접착시트를 부착하여 전사를 진행해야 하고, 추후에 접착시트를 제거 하면, 엘이디 칩 상부에 접착제가 조금이라도 남아 있어 발광 효율이 떨어지는 문제점이 있다.

[0006] 또한, 기판에 엘이디 칩들을 전사하기 위해 검토되어 왔던 여러 가지 방법들은 디스플레이를 구현하기에 충분한 엘이디 칩들의 X/Y/Z 정배열 수준을 맞추지 못하고 있고, 엘이디 칩들을 본딩을 위한 리플로우 공정에 있어서도 엘이디 칩들의 원치 않는 회전이나 틀어짐 등의 현상이 발생할 우려가 컸다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는, 기결정 배열로 그리고 정밀한 크기로 관통홀들이 형성된 트레이를 제작하고, 그 트레이를 기판 상에 정렬 배치한 후, 관통홀들을 통해 엘이디 칩들을 기판 상에 배열한 후 본딩함으로써, 엘이디 칩들을 정밀하게 기판 상에 어레이할 수 있는 엘이디 칩 어레이 방법을 제공하는 것이다.

과제의 해결 수단

- [0008] 본 발명의 일측면에 따라, 복수 개의 마이크로 엘이디 칩들을 기판 상에 기결정(predetermined) 배열로 어레이 하는, 마이크로 엘이디 칩 어레이 방법이 제공되며, 마이크로 엘이디 칩 어레이 방법은, 상기 기판 상에 기결정 배열로 복수 개의 솔더부들을 형성하는 단계; 상기 기결정 배열과 대응하는 배열의 관통홀들이 형성된 트레이를 준비하는 단계; 상기 트레이를 상기 관통홀들 각각이 상기 솔더부들 각각을 수용하도록 상기 기판 상에 배치하는 단계; 상기 솔더부들 각각에 상기 마이크로 엘이디 칩들 각각이 놓이도록, 상기 관통홀들 각각에 상기 마이크로 엘이디 칩들 각각을 삽입하는 단계; 및 상기 솔더부들을 가열하여, 상기 마이크로 엘이디 칩들을 상기 기판에 본딩하는 단계를 포함한다.
- [0009] 일 실시예에 따라, 상기 본딩하는 단계는 상기 솔더부들을 가열하는 동안 상기 마이크로 엘이디 칩들을 상기 기판을 향해 가압하는 것을 포함한다.
- [0010] 일 실시예에 따라, 상기 본딩하는 단계는, 상기 솔더부들을 가열하는 동안, 상기 관통홀들을 통해 하강하는 가압핀들에 의해 상기 마이크로 엘이디 칩들을 상기 기판을 향해 가압하는 것을 포함한다.
- [0011] 일 실시예에 따라, 상기 본딩하는 단계는, 상기 솔더부들을 가열하는 동안, 가압 스탬프를 이용하여 상기 마이크로 엘이디 칩들을 상기 기판을 향해 가압하되, 상기 가압 스탬프는, 베이스부와, 상기 베이스부에 서로 같은 길이로서 연결되어 상기 관통홀들을 통해 서로 같은 높이만큼 하강될 수 있는 복수 개의 가압핀들을 포함한다.
- [0012] 일 실시예에 따라, 상기 본딩하는 단계는 리플로우 공정 또는 상기 기판과 접하는 가열블록의 온도를 높이는 공정을 이용한다.
- [0013] 일 실시예에 따라, 상기 본딩하는 단계는 레이저를 이용하여 상기 기판의 하부면에 조사하여 상기 솔더부들을 가열하는 것을 포함한다.
- [0014] 일 실시예에 따라, 상기 본딩하는 단계는 상기 관통홀들 각각이 상기 마이크로 엘이디 칩들 각각을 구속한 상태로 수행된다.
- [0015] 일 실시예에 따라, 상기 관통홀들 각각의 깊이는 상기 마이크로 엘이디 칩들 각각의 높이보다 10~30 μ m 정도 깊다.
- [0016] 일 실시예에 따라, 상기 관통홀들 각각의 깊이는 상기 마이크로 엘이디 칩들 각각의 높이에 상응하는 제1 깊이와 상기 관통홀들 각각을 따라 하강하는 가압부의 하강 거리에 상응하는 제2 깊이의 합으로 정해진다.
- [0017] 일 실시예에 따라, 상기 트레이의 두께는 상기 마이크로 엘이디 칩의 두께 및 상기 기판 상에 실장되는 높이를 고려해 수십 μ m~수백 μ m일 수 있다.
- [0018] 일 실시예에 따라, 상기 트레이를 준비하는 단계는 반도체 기판, 세라믹 기판 또는 금속 기판으로 트레이를 제작하되, 상기 관통홀들을 형성하기 위해 식각 공정을 이용한다.
- [0019] 일 실시예에 따라, 상기 트레이를 준비하는 단계는 반도체 기판, 세라믹 기판 또는 금속 기판으로 트레이를 제작하되, 상기 관통홀들을 형성하기 위해, 건식 식각, 습식 식각, 레이저 가공, 이온 밀링(ion-milling) 또는 물리적 드릴링 공정을 이용한다.
- [0020] 일 실시예에 따라, 상기 관통홀들 각각은 깊이 전체에 걸쳐 단면적이 동일하다.
- [0021] 일 실시예에 따라, 상기 관통홀들 각각은 마이크로 엘이디 칩을 수용하는 하부와 마이크로 엘이디 칩을 가압하는 가압핀의 하강을 가이드하는 상부를 포함한다.
- [0022] 일 실시예에 따라, 상기 상부의 단면적이 상기 하부의 단면적보다 크고, 상기 하부의 깊이가 상기 마이크로 엘이디 칩의 높이보다 작다.
- [0023] 일 실시예에 따라, 상기 상부의 단면적이 상기 하부의 단면적보다 크고, 상기 하부의 깊이는 상기 마이크로 엘이디 칩의 높이 이상이다.
- [0024] 본 발명의 또 다른 측면에 따르면, 복수개의 마이크로 엘이디 칩들을 기판 상에 기결정(predetermined) 배열로 어레이하는, 마이크로 엘이디 칩 어레이 장치가 제공되며, 상기 마이크로 엘이디 칩 어레이 장치는 상기 기결정 배열과 대응하는 배열의 관통홀들이 형성된 트레이; 및 베이스부와, 상기 베이스부에 서로 같은 길이로서 연결되어 상기 관통홀을 통해 서로 같은 높이만큼 하강될 수 있는 복수개의 가압핀이 형성된 가압 스탬프를 포함하

며, 상기 관통홀들 각각의 깊이는 상기 마이크로 엘이디 칩들 각각의 높이보다 깊으며, 상기 관통홀들을 통해 하강하는 가압핀들에 의해 상기 마이크로 엘이디 칩들을 상기 기판을 향해 가압한다.

[0025] 일 실시예에 따라, 상기 관통홀들 각각의 깊이는 상기 마이크로 엘이디 칩들 각각의 높이에 상응하는 제1 깊이와 상기 관통홀들 각각을 따라 하강하는 가압부의 하강 거리에 상응하는 제2 깊이의 합으로 정해진다.

[0026] 일 실시예에 따라, 상기 관통홀들 각각은 마이크로 엘이디 칩을 수용하는 하부와 마이크로 엘이디 칩을 가압하는 가압핀의 하강을 가이드하는 상부를 포함한다.

발명의 효과

[0027] 본 발명에 따른 마이크로 엘이디 칩 어레이 방법은, 기결정 배열로 그리고 정밀한 크기로 관통홀들이 형성된 트레이를 제작하고, 그 트레이를 기판 상에 정렬 배치한 후, 관통홀들을 통해 마이크로 엘이디 칩들을 기판 상에 배열한 후 본딩함으로써, 마이크로 엘이디 칩들을 정밀하게 기판 상에 어레이할 수 있다는 장점이 있다. 또한, 본 발명에 따르면, 트레이의 관통홀들에 의해 마이크로 엘이디 칩들의 움직임이 구속된 상태로 마이크로 엘이디 칩들과 기판 사이의 슬더부들이 가열되어 마이크로 엘이디 칩들이 기판 상에 본딩되므로, 본딩 과정에서 마이크로 엘이디 칩의 틀어짐이나 그 외 위치 변경이 거의 없다는 장점이 있다.

도면의 간단한 설명

- [0028] 도 1은 종래기술을 설명하기 위한 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 엘이디 칩 어레이 방법을 전반적으로 설명하기 위한 순서도이다.
- 도 3은 기판에 슬더부들을 형성하는 단계를 설명하기 위한 도면이다.
- 도 4는 관통홀들이 형성된 트레이를 준비 단계를 설명하기 위한 도면이다.
- 도 5는 관통홀들이 형성된 트레이를 기판 상에 배치하는 단계를 설명하기 위한 도면이다.
- 도 6은 트레이에 형성된 관통홀들에 엘이디 칩들을 삽입하는 단계를 설명하기 위한 도면이다.
- 도 7은 본딩 단계를 설명하기 위한 도면이다.
- 도 8 및 도 9은 본 발명의 다른 실시예들을 설명하기 위한 도면들이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하, 본 발명의 바람직한 실시예를 도면을 참조하여 상세히 설명한다.
- [0030] 도 2를 참조하면, 본 발명의 일 실시예에 따른 엘이디 칩 어레이 방법은, 마이크로 엘이디 칩들을 기결정(predetermined) 배열로 기판 상에 어레이하는, 엘이디 칩 어레이 방법으로서, 상기 기결정 배열로 기판 상에 슬더부들을 형성하는 단계 s1와, 상기 기결정 배열과 대응하는 배열의 관통홀들이 형성된 트레이를 준비하는 단계 s2와, 상기 관통홀들 각각이 상기 슬더부들 각각을 수용하도록 상기 트레이를 상기 기판 상에 배치하는 단계 s3와, 상기 슬더부들 각각에 상기 마이크로 엘이디 칩들 각각이 놓이도록, 상기 관통홀들 각각에 상기 마이크로 엘이디 칩들 각각을 삽입하는 단계 s4와, 상기 슬더부들을 가열하여, 상기 마이크로 엘이디 칩들을 상기 기판에 본딩하는 단계 s5를 포함한다.
- [0031] 단계 s1은, 도 3에 도시된 바와 같이, PCB 등과 같은 기판(40)의 상면에 개구(9a)들을 포함하는 마스크(9)를 형성하고, 예컨대 스크린 프린팅 방식으로 상기 개구(9a)들을 통해 슬더용 금속 재료를 채워 상기 기판(40) 상에 각각이 하나 이상의 슬더 범프를 포함하는 슬더부(50)들을 형성한다. 슬더부(50)들이 상기 기판(40) 상에 형성된 후에는, 상기 마스크(9)가 상기 기판(40)의 상면으로부터 제거된다. 본 실시예에서 슬더부(50)들 각각은 플립칩형 마이크로 엘이디 칩의 두 전극패드에 대응될 수 있게 두개의 슬더 범프들을 포함하지만, 마이크로 엘이디 칩이 기판과 연결되는 측에 하나의 전극패드만을 갖는 경우에는 하나의 슬더 범프만으로 이루어진 슬더부가 채용될 수도 있다.
- [0032] 기판 상에는 복수 개의 엘이디 픽셀들에 대응되는 복수 개의 슬더 그룹(G)들이 형성된다. 이웃하는 슬더 그룹(G) 사이에서의 슬더부(50)들 사이의 간격은 슬더 그룹(G) 내 슬더부(50)들간 간격보다 크다.
- [0033] 단계 s2는, 도 4에 잘 도시된 바와 같이, 전술한 엘이디 칩의 기판 상으로의 기결정 배열과 대응하는 배열의 관통홀들이 형성된 트레이를 준비하는 단계로서, 포토리소그래피 공정과 식각 공정을 포함하는 반도체 공정을 이

용하여 반도체 또는 세라믹 기판 또는 금속 기판을 준비하고, 그 준비된 기판에 수직의 관통홀(62)들을 형성함으로써 트레이(60)를 준비한다. 상기 관통홀(62)들을 형성하기 위한 여러 방식들이 이용될 수 있는데 있는데, 예컨대, 건식 식각, 습식 식각, 레이저, 이온 밀링(ion-milling), 물리적 드릴링 가공에 의한 방식들이 이용될 수 있다. 본 실시예에서, 상기 관통홀(62)들 각각은 깊이 전체에 걸쳐 단면적이 동일하다. 또한, 이하에서 자세히 설명되는 바와 같이, 상기 관통홀(62)들 각각의 깊이는 상기 관통홀(62)들에 삽입되는 마이크로 엘이디 칩들 각각의 높이에 상응하는 제1 깊이와 상기 관통홀들 각각을 따라 하강하는 가압핀의 하강 거리에 상응하는 제2 깊이의 합으로 정해질 수 있다.

[0034] 상기 관통홀(62)의 크기(폭)은 대응되는 마이크로 엘이디 칩의 크기(폭)보다 대략 10~30 μ m 정도 더 큰 것이 좋다. 또한, 트레이(60)의 두께는 마이크로 엘이디 칩의 두께 및 마이크로 엘이디 칩이 기판 상에 실장되는 높이를 고려해 수십 μ m~수백 μ m인 것이 바람직하다. 트레이(60)의 관통홀(62)들은, 반도체 공정이나 밀 가공으로 형성되므로, 그 크기나 간격 또는 피치에 있어서 공차 거의 없앨 수 있다.

[0035] 단계 s3는, 도 5에 잘 도시된 바와 같이, 전술한 것과 같이 준비된 트레이(60)를 기판(40) 상에 정렬하여 배치하는 단계로서, 트레이(60)의 관통홀(62)들 각각이 상기 솔더부(50)들 각각을 수용하도록 상기 트레이(60)를 상기 기판(40) 상에 배치하는 것을 포함한다.

[0036] 단계 s4는, 도 6에 잘 도시된 바와 같이, 상기 솔더부(50)들 각각에 상기 마이크로 엘이디 칩(30)들 각각이 놓이도록, 상기 관통홀(62)들 각각에 상기 마이크로 엘이디 칩(60)들 각각을 삽입하는 단계이다. 본 실시예에서, 상기 마이크로 엘이디 칩(30)들 각각은 하부에 극성이 다른 두개의 전극패드를 갖는 플립칩형 마이크로 엘이디 칩이다. 솔더부(50)는 각 마이크로 엘이디 칩(30)의 두 전극패드에 상응하는 두개의 솔더 범프로 구성된다. 마이크로 엘이디 칩(30)들 각각이 상기 관통홀(62)들 각각에 삽입되어 상기 솔더부(50)들 각각에 놓일 때, 상기 마이크로 엘이디 칩(30)들 각각에 구비된 두개의 전극패드는 상기 솔더부(50)를 구성하는 두개의 솔더 범프로 각각 접하도록 놓여진다.

[0037] 상기 마이크로 엘이디 칩(30)들은 복수 개의 픽셀들로 구분되며, 각 픽셀들은 적색 마이크로 엘이디 칩, 녹색 마이크로 엘이디 칩 및 청색 마이크로 엘이디 칩으로 구성된다. 픽셀간 간격이 픽셀 내 마이크로 엘이디 칩 사이의 간격보다 커야 하며, 이 때문에 솔더부(50)들 및 솔더부(50)들 각각에 대응되는 관통홀(62)들이 그룹화된다. 즉, 한 그룹의 솔더부(50) 및 한 그룹의 관통홀(62) 각각은 하나의 픽셀에 대응되며, 따라서, 이웃하는 두 그룹 사이의 솔더부(50) 간 간격은 한 그룹 내 솔더부(50) 간 간격보다 크고, 이웃하는 두 그룹 사이의 관통홀(62) 간 간격은 한 그룹 내 관통홀(62) 간 간격보다 크다.

[0038] 도 7을 참조하면, 단계 s5는 상기 솔더부(50)들을 가열하여, 상기 엘이디 칩(30)들을 상기 기판(40) 상에 본딩하는 단계이다. 이때, 솔더부(60)들의 가열은 레이저 가열에 의한 솔더링 공정, 리플로우 솔더링 공정 및/또는 기판(40)과 접하는 가열블록을 이용한 솔더링 공정이 채택될 수 있다. 레이저에 의한 솔더링 공정은, 상기 기판(40)의 하부에 레이저 조사부(미도시됨)를 배치하고, 그 레이저 조사부로 하여금 솔더부(50)를 구성하는 솔더볼들 직하 영역의 기판(40) 하부면에 레이저를 조사하여, 그 조사된 레이저에 의한 열 에너지로 솔더볼들을 가열할 수 있다. 가열블록을 이용하는 솔더링 공정은 기판(40) 하부면에 가열블록을 배치하여 가열블록으로부터 기판(40)으로 전도되는 열에 의해 솔더부(50)를 구성하는 솔더볼들을 가열하여, 리플로우 솔더링 공정은 엘이디 칩들이 실장된 기판을 예컨대 리플로우 오븐을 통과시킴으로써 달성된다. 기판이 정지된 상태(40)에서 기판(40)을 가열할 수 있는 가열블록을 이용하는 솔더링 공정 및 레이저를 이용하는 솔더링 공정이 유리하며, 그 중에서도, 레이저를 이용한 솔더링 공정은 솔더볼들이 위치한 영역에 국부적으로 더 열을 발생시킨다는 점에서 본 발명에 더 유리하게 이용될 수 있다.

[0039] 또한, 상기 단계 s5는 상기 솔더부(50)들을 가열하는 동안 상기 마이크로 엘이디 칩(30)들을 상기 기판(40)을 향해 가압하는 것을 포함한다. 상기 가압에 의해, 상기 마이크로 엘이디 칩(30)과 상기 기판(40) 사이의 솔더부(50)에 의한 접합력이 향상된다.

[0040] 상기 가압을 위해, 가압 스탬프(70)가 이용되며, 상기 가압 스탬프(70)는 수평의 베이스부(72)와 상기 베이스부(72)의 하부면에 연결된 복수 개의 가압핀(74)들을 포함한다. 상기 복수 개의 가압핀(74)들은 상기 관통홀(62)들의 배열에 대응되는 배열로 형성되며, 상기 가압핀(74) 각각은, 상기 관통홀(62) 각각에 삽입될 수 있도록 구성된 채, 상기 관통홀(62)들 각각을 통해 일정 높이 하강할 수 있도록 되어 있다. 상기 관통홀(62)들을 통해 하강하는 가압핀(74)들은 상기 마이크로 엘이디 칩(30)들을 아래로 밀어 상기 기판(40)을 향해 가압한다. 상기 베이스부(72)의 하부면이 일정 높이를 가지며, 가압핀(74)들이 같은 길이로 상기 베이스부(72)의 하부면에 연결되어 있으므로, 상기 가압핀(74)들이 상기 관통홀(62)들을 통해 하강하는 거리는 서로 같게 되며, 이에 의해, 마

이크로 엘이디 칩(30)들 전체에 대하여 일정한 가압력을 제공할 수 있다.

[0041] 한편, 상기 관통홀(62)들 각각은 상기 마이크로 엘이디 칩(30)보다 약간 크거나 거의 같은 크기로 형성된다. 따라서, 상기 마이크로 엘이디 칩(30)들은 본딩 단계가 수행되는 동안 상기 관통홀(62)에 의해 미세함 움직임까지 구속된다. 이는 마이크로 엘이디 칩(30)이 본딩 과정에서 원치 않게 움직여 틸트되거나 시프되는 것, 즉, 정렬 상태가 틀어지는 것을 막아준다. 다시 말해, 관통홀(62)의 크기 안에서만 마이크로 엘이디 칩(30)의 위치가 변화할 수 있으므로, 관통홀(62)을 크기를 정밀하게 함으로써, 마이크로 엘이디 칩(30) 위치 관리를 정교하게 할 수 있고 x-Y방향으로의 틀어짐이나 기울어짐을 막을 수 있다.

[0042] 상기 관통홀(62)들 각각의 깊이는 상기 마이크로 엘이디 칩(30)들 각각의 높이보다 깊게 형성된다. 더 나아가, 상기 관통홀(62)들 각각의 깊이는 상기 마이크로 엘이디 칩(30)들 각각의 실장 높이에 상응하는 제1 깊이(d1)와 상기 관통홀(62)들 각각을 따라 하강하는 가압핀(64)의 하강 거리에 상응하는 제2 깊이(d2)의 합으로 정해진다.

[0043] 도 8 및 도 9는 본 발명의 여러 다른 실시예들을 설명하기 위한 도면들이다.

[0044] 먼저, 도 8을 참조하면, 관통홀의 단면이 깊이 전체에 걸쳐 동일하였던 앞선 실시예와 달리, 본 실시예에 있어서는, 상기 관통홀(62)들 각각이 마이크로 엘이디 칩(30)을 수용하는 하부(622)와 상기 마이크로 엘이디 칩(30)을 가압하는 가압핀(74)의 하강을 가이드하는 상부(624)를 포함한다. 이때, 상기 관통홀(62) 중 상기 상부(624)의 단면적이 상기 하부(622)의 단면적보다 크고, 상기 하부(622)의 깊이(DL)가 상기 마이크로 엘이디 칩(30)의 높이보다 작다. 마이크로 엘이디 칩(30)은 관통홀(30)의 하부보다 더 높게 돌출되며, 상기 가압핀(74)의 하단 면적은 상기 마이크로 엘이디 칩(30)의 상부 면적보다 크다. 이러한 구조에서는 상기 가압핀(74)의 가압력이 각 마이크로 엘이디 칩(30)에 균일하게 가해질 수 있다.

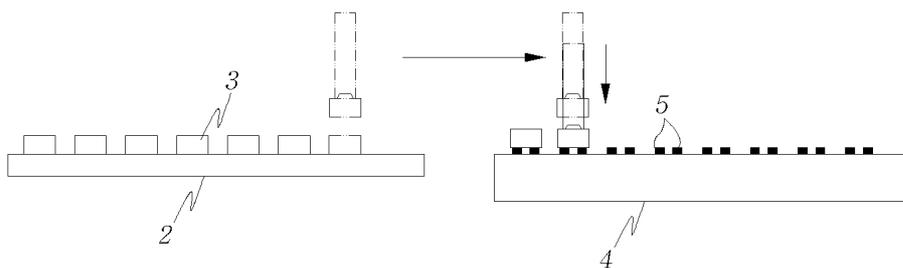
[0045] 본 실시예에 따르면, 도 9에 도시된 바와 같이, 상기 관통홀(62)들 각각이 마이크로 엘이디 칩(30)을 수용하는 하부(622)와 상기 마이크로 엘이디 칩(30)을 가압하는 가압핀(74)의 하강을 가이드하는 상부(624)를 포함하되, 관통홀 상부의 단면적이 관통홀 하부의 단면적보다 큰 앞선 실시예와 달리, 관통홀 상부(624)의 단면적이 관통홀 하부(622) 단면적보다 크고, 상기 하부(622)의 깊이(DL)는 상기 마이크로 엘이디 칩(h)의 높이 이상으로 되어 있다. 이 경우, 가압핀(74)의 하단 면적은 상기 마이크로 엘이디 칩(30)의 상부 면적보다 작다. 본 실시예에 따르면, 가압핀(72)에 의한 가압력을 보다 더 증가시킬 수 있다.

부호의 설명

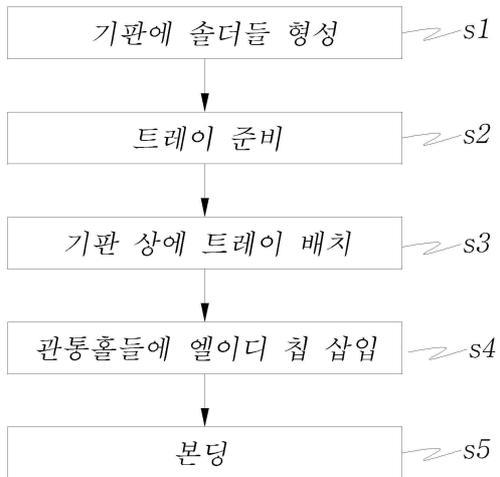
- [0046] 30.....엘이디 칩
- 40.....기관
- 50.....솔더
- 60.....트레이
- 70.....가압 스탬프
- 72.....가압핀

도면

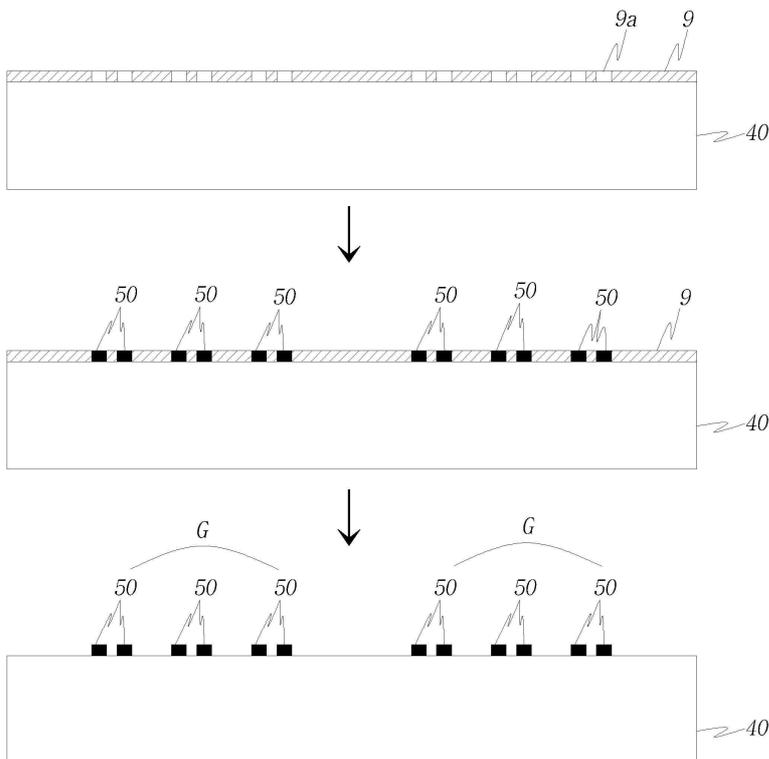
도면1



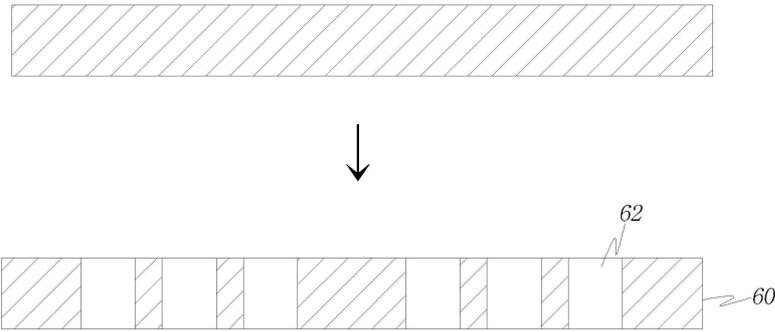
도면2



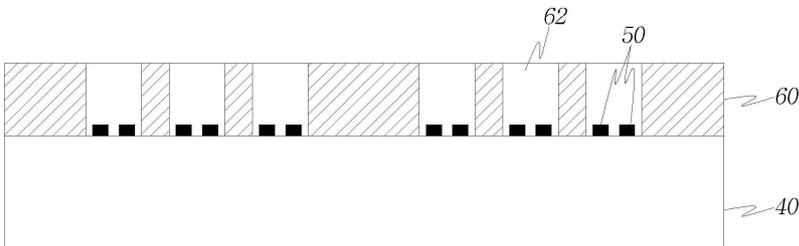
도면3



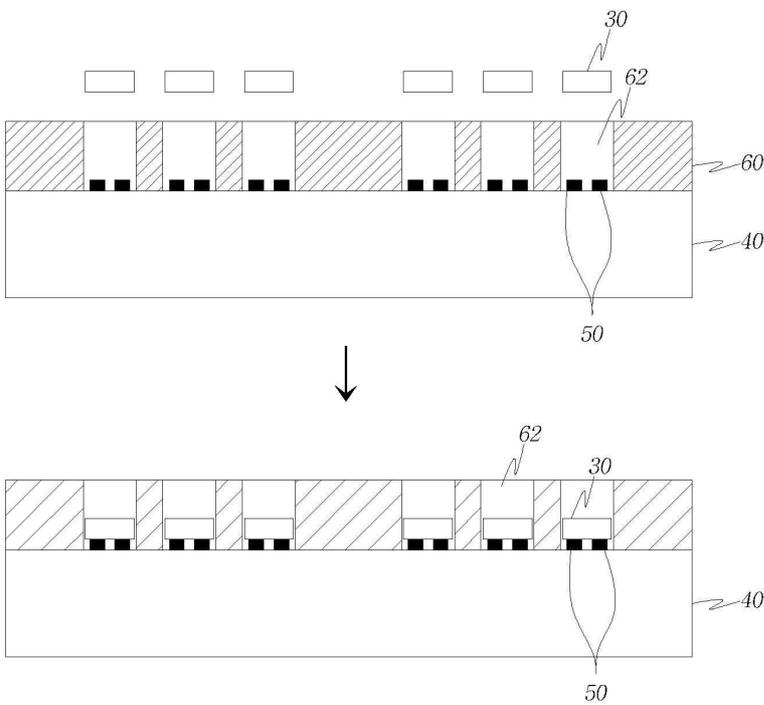
도면4



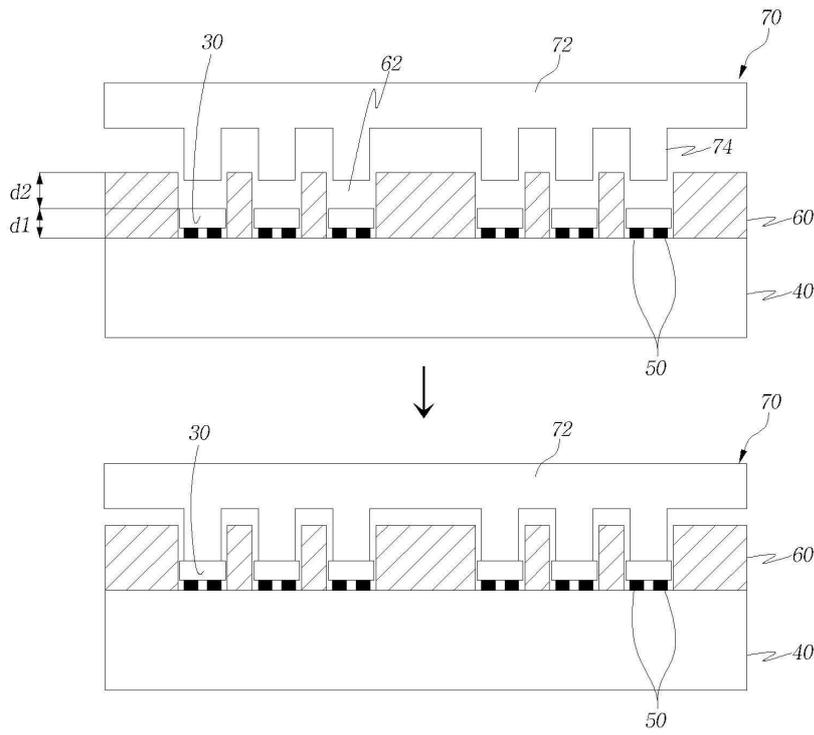
도면5



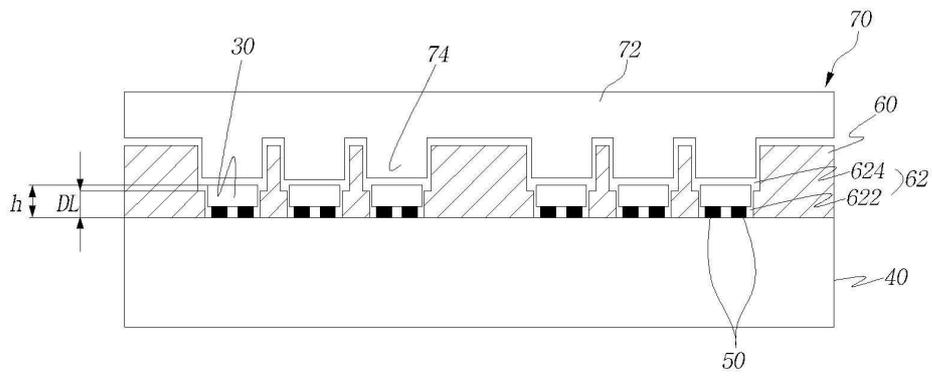
도면6



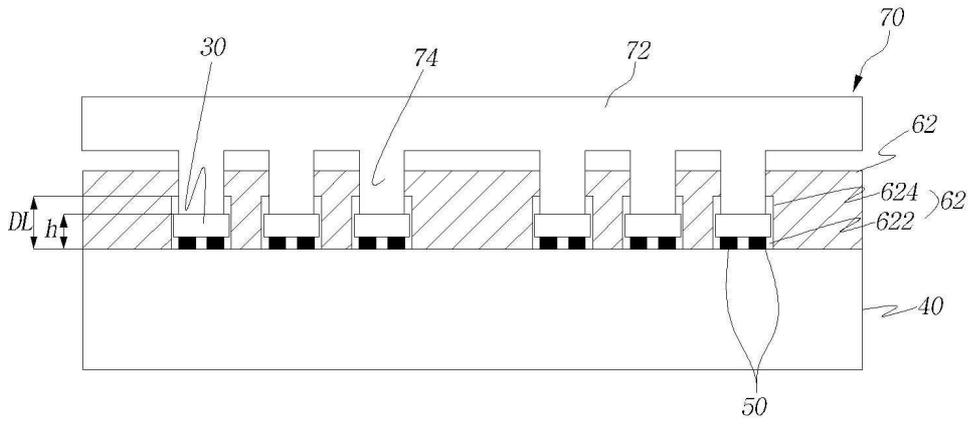
도면7



도면8



도면9



专利名称(译)	用于led显示屏制造的led芯片阵列方法		
公开(公告)号	KR1020190109130A	公开(公告)日	2019-09-25
申请号	KR1020180031107	申请日	2018-03-16
申请(专利权)人(译)	流明公司		
[标]发明人	서주옥		
发明人	서주옥		
IPC分类号	H01L27/15 H01L33/00 H01L33/38 H01L33/62		
CPC分类号	H01L27/156 H01L33/005 H01L33/382 H01L33/62		
代理人(译)	Yuchangyeol		
外部链接	Espacenet		

摘要(译)

公开了一种LED芯片阵列方法，其中，LED芯片以预定的排列方式排列在基板上。根据本发明，LED芯片阵列方法包括以下步骤：以预定布置在基板上形成焊料部分；准备托盘，在该托盘中形成与预定布置相对应的布置的通孔；将托盘放置在基板上，使得每个通孔容纳每个焊料部分；将每个LED芯片插入每个通孔中，以便将每个LED芯片放置在每个焊料部分中；加热焊料部分以将LED芯片结合到基板。

